



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09260969 A**

(43) Date of publication of application: 03 . 10 . 97

(51) Int. Cl.

H03F 3/30
H03G 3/30
(21) Application number: **08066724**(22) Date of filing: **22 . 03 . 96**(71) Applicant: **TOSHIBA AVE CORP TOSHIBA CORP**(72) Inventor: **YAMASHITA RYUICHI**(54) **SIGNAL AMPLIFIER CIRCUIT**

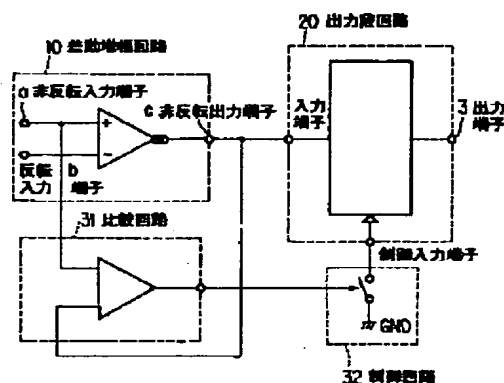
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a signal amplifier circuit with which a normal output signal can be provided by detecting the drop of a sine wave signal input level through a voltage comparator circuit and controlling an output circuit through a control circuit when that level is made lower than a DC level at a signal output terminal and lowered to near a ground voltage.

SOLUTION: This amplifier circuit has a bipolar type differential amplifier input means 10 and a push-pull output circuit 22, for which driving is controlled by this differential amplifier input means, and is provided with a bipolar type output step 20 to form a voltage follower circuit. Besides, this amplifier circuit is composed of a voltage comparator circuit 31 for comparing a voltage at a noninverted input terminal (a) of the differential amplifier input step with a voltage at a non-inverted output terminal (c) and a control circuit 32 for controlling the operation of an output circuit 20 corresponding to the output of that circuit 31. When the sine wave signal level is lowered, the voltage comparator circuit 32 detects the state of the voltage at the non-inverted input terminal (a) below the voltage at the non-inverted output terminal (c) and the

compared output is turned to high level. Thus, the control circuit 32 is operated, controls the push-pull output circuit 22 and perform normal operations so as not to provide a cut-off state.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260969

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl.⁶

H 0 3 F 3/30

H 0 3 G 3/30

識別記号

片内整理番号

F I

H 0 3 F 3/30

H 0 3 G 3/30

技術表示箇所

C

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号

特願平8-66724

(22) 出願日

平成8年(1996)3月22日

(71) 出願人

000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(71) 出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

山下 隆一

東京都港区新橋3丁目3番9号 東芝エー・

ピー・イー株式会社内

(74) 代理人

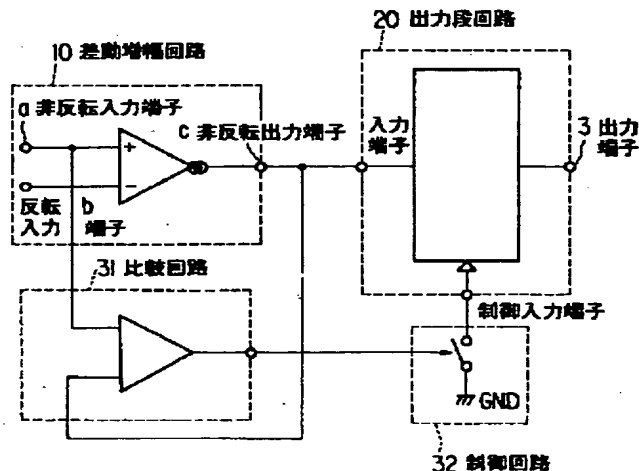
弁理士 鈴江 武彦

(54) 【発明の名称】 信号増幅回路

(57) 【要約】

【課題】 信号増幅回路の信号入力が電源電圧と接地電圧との間の全振幅で変化する場合に信号入力レベルが接地電圧付近においても正常な信号出力を得る。

【解決手段】 信号入力为非反転入力端 a に入力するバイポーラ型の差動増幅入力段 10 と、この差動増幅入力段の非反転出力端 c の出力により駆動制御されるプッシュプル出力回路 20 を備えたバイポーラ型の出力回路段 20 と、差動増幅入力段の非反転入力端の電圧と非反転出力端の電圧とを比較する電圧比較回路 31 と、電圧比較回路の比較出力により出力回路段の動作を制御する制御回路 32 とを具備する。



【特許請求の範囲】

【請求項1】 信号入力が非反転入力端に入力するバイポーラ型の差動増幅入力段と、この差動増幅入力段の非反転出力端の出力により駆動制御されるプッシュプル出力回路を備えたバイポーラ型の出力回路段と、上記差動増幅入力段の非反転入力端の電圧と非反転出力端の電圧とを比較する電圧比較回路と、上記電圧比較回路の比較出力により前記出力回路段の動作を制御する制御回路とを具備することを特徴とする信号増幅回路。

【請求項2】 請求項1記載の信号増幅回路において、前記制御回路は、電圧比較回路の比較出力により前記出力回路段のプッシュプル出力回路の出力用トランジスタのベースバイアスを制御することを特徴とする信号増幅回路。

【請求項3】 請求項2記載の信号増幅回路において、前記制御回路は、電圧比較回路の比較出力がベースに与えられ、前記出力用トランジスタのベースと接地電圧との間にコレクタ・エミッタ間が接続されたトランジスタからなることを特徴とする信号増幅回路。

【請求項4】 請求項1乃至3のいずれかに記載の信号増幅回路において、前記差動増幅入力段は、非反転入力端にベースが接続された増幅入力用の第1のPNPトランジスタと、この第1のPNPトランジスタとエミッタ同士が共通接続されて差動対をなす第2のPNPトランジスタと、この差動増幅対トランジスタのエミッタ共通接続点と電源ノードとの間に接続された第1の定電流源と、前記差動増幅対トランジスタの負荷として接地ノードとの間に接続されたカレントミラー回路を形成するNPNトランジスタとからなり、前記出力回路段は、前記差動増幅入力段の第1のPNPトランジスタのコレクタの信号が入力するエミッタ接地増幅回路と、このエミッタ接地増幅回路の出力信号によりプッシュプル駆動され、その信号出力端が前記差動増幅入力段の反転入力端である第2のPNPトランジスタのベースに帰還接続されたプッシュプル出力回路とからなり、上記プッシュプル出力回路は、電源ノードと接地ノードとの間にプッシュプル接続された電流吐出用のNPNトランジスタおよび電流吸込用のPNPトランジスタからなり、上記出力用のNPNトランジスタおよびPNPトランジスタの直列接続点が信号出力端となり、前記エミッタ接地増幅回路は、前記差動増幅入力段の出力信号がベースに入力し、エミッタが接地されたNPNトランジスタと、電源ノードと上記NPNトランジスタのコレクタとの間に直列に接続された第2の定電流源、バイアス電圧生成用のそれぞれダイオード接続されたNPNトランジスタおよびPNPトランジスタとからなり、上記第2の定電流源とダイオード接続されたNPNトランジスタとの直列接続点が前記出力用のNPNトランジスタのベースに接続され、前記ダイオード接続されたPNPトランジスタとエミッタ接地されたNPNトランジスタとの直列接続点

が前記出力用のPNPトランジスタのベースに接続されていることを特徴とする信号増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に形成される信号増幅回路に係り、特にバイポーラ型の差動増幅入力段を有する信号増幅回路に関するもので、例えばAV（オーディオ・ビデオ）用の電子機器に使用されるものである。

10 【0002】

【従来の技術】図4は、従来の信号増幅回路の一例を示す。この信号増幅回路は、バイポーラ型の差動増幅入力段10と、この差動増幅入力段の後段に接続され、上記差動増幅入力段とともに電圧フォロア回路を形成するバイポーラ型の出力回路段20とからなる。

【0003】上記差動増幅入力段10は、信号入力端1Nにベースが接続された増幅入力用の第1のPNPトランジスタQ1と、この第1のPNPトランジスタとエミッタ同士が共通接続されて差動対をなす第2のPNPトランジスタQ2と、この差動増幅対トランジスタのエミッタ共通接続点と電源電圧（VCC）ノードとの間に接続された第1の定電流源I1と、前記差動増幅対トランジスタの負荷として接地電圧（GND）ノードとの間に接続されたカレントミラー回路を形成するNPNトランジスタQ3、Q4とからなる。ここで、第1のPNPトランジスタQ1のベースは非反転入力端a、第2のPNPトランジスタQ2のベースは反転入力端b、第1のPNPトランジスタQ1のコレクタは非反転出力端cである。

30 【0004】前記出力回路段20は、前記差動増幅入力段10の非反転出力端cの信号が入力するエミッタ接地増幅回路21と、このエミッタ接地増幅回路の出力信号によりプッシュプル駆動され、その信号出力端が前記差動増幅入力段の反転入力端bである第2のPNPトランジスタQ2のベースに帰還接続されたプッシュプル出力回路22とからなる。

【0005】上記プッシュプル出力回路22は、電源ノードと接地ノードとの間にプッシュプル接続された出力用（電流吐出用）のNPNトランジスタQ8および出力用（電流吸込用）のPNPトランジスタQ9からなり、上記NPNトランジスタQ8およびPNPトランジスタQ9の直列接続点が信号出力端OUTとなる。

40 【0006】また、前記エミッタ接地増幅回路21は、前記差動増幅入力段の非反転出力端cの出力信号がベースに入力し、エミッタが接地されたNPNトランジスタQ7と、電源ノードと上記NPNトランジスタQ7のコレクタとの間に直列に接続された第2の定電流源I2、バイアス電圧生成・温度特性補償用のそれぞれダイオード接続されたNPNトランジスタQ5およびPNPトランジスタQ6とからなる。

【0007】そして、上記第2の定電流源12とダイオード接続されたNPNトランジスタQ5との直列接続点が前記出力用のNPNトランジスタQ8のベースに接続され、前記ダイオード接続されたPNPトランジスタQ6とエミッタ接地されたNPNトランジスタQ7との直列接続点が前記出力用のPNPトランジスタQ9のベースに接続されている。

【0008】上記構成の信号増幅回路においては、信号入力端INの入力信号（例えば正弦波信号）が入力非反転入力端aに入力し、非反転入力端aと反転入力端bとの間の差電圧信号（差動入力信号）を増幅して信号出力端OUTから出力するが、電圧フォロア回路を形成しているので増幅利得は1である。

【0009】この場合、正弦波信号入力レベルが信号出力端OUTの直流レベルに等しい時（差動入力信号が入力しない無信号時）には、差動増幅対トランジスタQ1、Q2の電流が等しい状態で平衡している。

【0010】そして、正弦波信号入力レベルが信号出力端OUTの直流レベルより高い上側半波期間では、第1のPNPトランジスタQ1のコレクタ電流が第2のPNPトランジスタQ2のコレクタ電流よりも小さくなり、エミッタ接地トランジスタQ7のベース電流が減少してそのコレクタ電流が減少し、出力用のNPNトランジスタQ8のベース電位およびPNPトランジスタQ9のベース電位がそれぞれ上昇し、出力用のNPNトランジスタQ8の電流が増加し、出力用のPNPトランジスタQ9の電流が減少し、信号出力端OUTの電位が上昇する。

【0011】これに対して、正弦波信号入力レベルが信号出力端OUTの直流レベルより低い下側半波期間では、第1のPNPトランジスタQ1のコレクタ電流が第2のPNPトランジスタQ2のコレクタ電流よりも大きくなり、エミッタ接地トランジスタQ7のベース電流が増加してそのコレクタ電流が増加し、出力用のNPNトランジスタQ8のベース電位およびPNPトランジスタQ9のベース電位がそれぞれ低下し、出力用のNPNトランジスタQ8の電流が減少し、出力用のPNPトランジスタQ9の電流が増加し、信号出力端OUTの電位が低下する。

【0012】ところで、正弦波信号入力が例えば図5(a)に示すように電源ノードの電圧VCCと接地電圧GNDとの間の全振幅で変化する場合、入力振幅が小さい時には線形動作が得られるが、入力振幅が大きい時には以下に述べるような理由により図5(b)に示すように正常な信号出力が得られなくなるという問題がある。

【0013】即ち、正弦波信号の下側半波期間では、入力レベルが低下すると、第1のPNPトランジスタQ1のコレクタ電流が増加し、エミッタ接地トランジスタQ7のベース電流が増加し、第1のPNPトランジスタQ1のベース電位とエミッタ接地トランジスタQ7のベー

ス電位とが接近する。さらに、正弦波信号入力レベルが接地電圧GND付近まで低下し、エミッタ接地トランジスタQ7のベース電位よりも低下すると、第1のPNPトランジスタQ1が飽和動作領域に入り、信号入力レベルが $V_{BEQ7} + V_{CEQ1} - V_{EBQ1}$ 以下（ V_{BEQ7} はエミッタ接地トランジスタQ7のベース・エミッタ間電圧、 V_{CEQ1} は第1のPNPトランジスタQ1のコレクタ・エミッタ間電圧、 V_{EBQ1} は第1のPNPトランジスタQ1のエミッタ・ベース間電圧）になると、第1のPNPトランジスタQ1のベース電流が信号入力端INに流れ出し、エミッタ接地トランジスタQ7のベース電流が減少する。

【0014】すると、エミッタ接地トランジスタQ7がそれまで第2の定電流源12の定電流を引き込んでいた能力が弱くなり、出力用のPNPトランジスタQ9がカットオフ状態になる。この場合、第2の定電流源12はそれまで通り定電流を流そうとするので、出力用のNPNトランジスタQ8はベース電流が大きくなって飽和動作状態になり、信号出力端OUTの電位が電源電圧VCC付近まで上昇するようになり、出力信号波形に著しい歪が発生する。つまり、出力回路段20の線形動作が不可能になり、正常な信号出力が得られなくなる。

【0015】

【発明が解決しようとする課題】上記したように従来のプッシュプル出力型の信号増幅回路は、信号入力レベルが電源電圧と接地電圧との間の全振幅で変化する場合に信号入力レベルが接地電圧付近において、電流吸込用の出力トランジスタがカットオフ状態になり、正常な信号出力が得られなくなるという問題があった。

【0016】本発明は上記の問題点を解決すべくなされたもので、信号入力レベルが電源電圧と接地電圧との間の全振幅で変化する場合に信号入力レベルが接地電圧付近においても、電流吸込用の出力トランジスタがカットオフ状態になることなく、正常な信号出力が得られる信号増幅回路を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明の信号増幅回路は、信号入力が非反転入力端に入力するバイポーラ型の差動増幅入力段と、この差動増幅入力段の非反転出力端の出力により駆動制御されるプッシュプル出力回路を備えたバイポーラ型の出力回路段と、上記差動増幅入力段の非反転入力端の電圧と非反転出力端の電圧とを比較する電圧比較回路と、上記電圧比較回路の比較出力により前記出力回路段の動作を制御する制御回路とを具備することを特徴とする。

【0018】

【発明の実施の形態】差動増幅入力段の非反転入力端に入力する正弦波信号入力レベルが電源ノードの電圧と接地電圧との間の全振幅で変化する場合、正弦波信号入力レベルが信号出力端の直流レベルより低い下側半波期間において接地電圧付近まで低下すると、この状態を電圧

10

20

30

40

50

比較回路が検知し、その比較出力により制御回路はプッシュプル出力回路の出力用トランジスタのベース電流を制御し、出力回路段の正常動作を確保するように制御する。

【0019】従って、プッシュプル出力回路の信号出力端の電圧は、電源電圧付近まで上昇することなく、出力信号波形に著しい歪が発生することなく、正常な出力信号が得られる。

【0020】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1および図2は、本発明の信号増幅回路の一実施の形態に係るブロック構成および回路構成を示している。

【0021】この信号増幅回路は、バイポーラ型の差動増幅入力段10と、この差動増幅入力段により駆動制御されるプッシュプル出力回路22を備え、上記差動増幅入力段とともに電圧フォロア回路を形成するバイポーラ型の出力回路段20と、上記差動増幅入力段の非反転入力端aの電圧と非反転出力端cの電圧とを比較する電圧比較回路31と、上記電圧比較回路の比較出力により前記出力回路段20の動作を制御する制御回路32とからなる。

【0022】上記差動増幅入力段10は、信号入力端INにベースが接続された増幅入力用の第1のPNPトランジスタQ1と、この第1のPNPトランジスタとエミッタ同士が共通接続されて差動対をなす第2のPNPトランジスタQ2と、この差動増幅対トランジスタのエミッタ共通接続点と電源電圧(VCC)ノードとの間に接続された第1の定電流源I1と、前記差動増幅対トランジスタの負荷として接地電圧(GND)ノードとの間に接続されたカレントミラー回路を形成するNPNトランジスタQ3、Q4とからなる。ここで、第1のPNPトランジスタQ1のベースは非反転入力端a、第2のPNPトランジスタQ2のベースは反転入力端b、第1のPNPトランジスタQ1のコレクタは非反転出力端cである。

【0023】前記出力回路段20は、前記差動増幅入力段10の非反転出力端cの信号が入力するエミッタ接地増幅回路21と、このエミッタ接地増幅回路の出力信号によりプッシュプル駆動され、その信号出力端が前記差動増幅入力段の反転入力端bである第2のPNPトランジスタQ2のベースに直接に帰還接続されたプッシュプル出力回路22とからなる。このような回路接続により、差動増幅入力段10と出力回路段20とは、電圧フォロア回路を形成している。

【0024】上記プッシュプル出力回路22は、電源ノードと接地ノードとの間にプッシュプル接続された出力用(電流吐出用)のNPNトランジスタQ8および出力用(電流吸込用)のPNPトランジスタQ9からなり、上記NPNトランジスタQ8およびPNPトランジスタQ9の直列接続点が信号出力端OUTとなる。

【0025】また、前記エミッタ接地増幅回路21は、前記差動増幅入力段の非反転出力端cの出力信号がベースに入力し、エミッタが接地されたNPNトランジスタQ7と、電源ノードと上記NPNトランジスタQ7のコレクタとの間に直列に接続された第2の定電流源I2、バイアス電圧生成用のそれぞれダイオード接続されたNPNトランジスタQ5およびPNPトランジスタQ6とからなる。

【0026】そして、上記第2の定電流源I2とダイオード接続されたNPNトランジスタQ5との直列接続点が前記出力用のNPNトランジスタQ8のベースに接続され、前記ダイオード接続されたPNPトランジスタQ6とエミッタ接地されたNPNトランジスタQ7との直列接続点が前記出力用のPNPトランジスタQ9のベースに接続されている。

【0027】前記電圧比較回路31は、前記差動増幅入力段10の非反転入力端aの電圧と非反転出力端cの電圧が対応してベースに入力し、それぞれのコレクタが接地電圧に接続された第3のPNPトランジスタQ12および第4のPNPトランジスタQ13と、上記第3のPNPトランジスタQ12とダーリントン接続された第5のPNPトランジスタQ10と、前記第4のPNPトランジスタQ13とダーリントン接続され、コレクタが接地電圧に接続され、前記第5のPNPトランジスタQ10とエミッタ同士が共通接続されて差動対をなす第6のPNPトランジスタQ11と、この差動対トランジスタQ10、Q11のエミッタ共通接続点と電源ノードとの間に接続された第3の定電流源I3と、前記第5のPNPトランジスタQ10のコレクタと接地電圧との間に接続された抵抗素子R1とからなる。

【0028】前記制御回路32は、前記電圧比較回路30の比較出力により前記出力回路段20のプッシュプル出力回路22の出力用トランジスタQ9のベースバイアスを制御するものである。本例では、上記制御回路32は、電圧比較回路20の比較出力がベースに与えられ、前記出力用トランジスタQ9のベースと接地電圧との間にコレクタ・エミッタ間が接続されたNPNトランジスタQ14からなる。

【0029】上記構成の信号増幅回路においては、信号入力端INの入力信号(例えば正弦波信号)が入力非反転入力端aに入力し、非反転入力端aと反転入力端bとの間の差電圧信号(差動入力信号)を増幅して信号出力端OUTから出力するが、電圧フォロア回路を形成しているので増幅利得は1である。

【0030】この場合、正弦波信号入力レベルが信号出力端OUTの直流レベルに等しい時(差動入力信号が入力しない無信号時)には、差動増幅対トランジスタQ1、Q2の電流が等しい状態で平衡している。

【0031】そして、正弦波信号入力レベルが信号出力端OUTの直流レベルより高い上側半波期間では、第1

のPNPトランジスタQ1のコレクタ電流が第2のPNPトランジスタQ2のコレクタ電流よりも小さくなり、エミッタ接地トランジスタQ7のベース電流が減少してそのコレクタ電流が減少し、出力用のNPNトランジスタQ8のベース電位およびPNPトランジスタQ9のベース電位がそれぞれ上昇し、出力用のNPNトランジスタQ8の電流が増加し、出力用のPNPトランジスタQ9の電流が減少し、信号出力端OUTの電位が上昇する。

【0032】これに対して、正弦波信号入力レベルが信号出力端OUTの直流レベルより低い下側半波期間では、第1のPNPトランジスタQ1のコレクタ電流が第2のPNPトランジスタQ2のコレクタ電流よりも大きくなり、エミッタ接地トランジスタQ7のベース電流が増加してそのコレクタ電流が増加し、出力用のNPNトランジスタQ8のベース電位およびPNPトランジスタQ9のベース電位がそれぞれ低下し、出力用のNPNトランジスタQ8の電流が減少し、出力用のPNPトランジスタQ9の電流が増加し、信号出力端OUTの電位が低下する。

【0033】この場合、正弦波信号入力が、例えば図3(a)に示すように電源ノードの電圧VCCと接地電圧GNDとの間の全振幅で変化する時でも、以下に述べるような理由により図3(b)に示すように正常な信号出力が得られる。

【0034】即ち、正弦波信号の下側半波期間において、入力レベルが低下すると、第1のPNPトランジスタQ1のコレクタ電流が増加し、エミッタ接地トランジスタQ7のベース電流が増加し、上記第1のPNPトランジスタQ7のベース電位とエミッタ接地トランジスタQ7のベース電位とが接近する。

【0035】この間、電圧比較回路31は差動増幅入力段10の非反転入力端aの電圧(第1のPNPトランジスタQ1のベース電位)と非反転出力端cの電圧(第1のPNPトランジスタQ1のコレクタ電位、エミッタ接地トランジスタQ7のベース電位)とを比較し、非反転入力端aの電圧>非反転出力端cの電圧である期間にはトランジスタQ12、Q10がオフ、トランジスタQ13、Q11がオンになり、抵抗素子R1の電圧降下が発生せず、比較出力は“L”レベルである。

【0036】これにより、制御回路32のNPNトランジスタQ14はオフ状態であり、前記プッシュプル出力回路22の出力用のPNPトランジスタQ9のベースバイアスに影響を与えないので、プッシュプル出力回路22は通常通り線形動作を行う。

【0037】さらに、正弦波信号入力レベルが低下し、第1のPNPトランジスタQ1のベース電位がエミッタ接地トランジスタQ7のベース電位(0.7V程度)よりも低下して第1のPNPトランジスタQ1が飽和動作領域に入る前に、つまり、信号入力レベルがVBEQ7+V

CEQ1-VBEQ1以下(VBEQ7はエミッタ接地トランジスタQ7のベース・エミッタ間電圧、VCEQ1は第1のPNPトランジスタQ1のコレクタ・エミッタ間電圧、VEBQ1は第1のPNPトランジスタQ1のエミッタ・ベース間電圧)以下になる前に、電圧比較回路31が非反転入力端aの電圧<非反転出力端cの電圧であることを検知し、トランジスタQ12、Q10がオン、トランジスタQ13、Q11がオフになり、抵抗素子R1の電圧降下が発生し、比較出力が“H”レベルになる。

10 【0038】これにより、制御回路32のNPNトランジスタQ14はオン状態になり、プッシュプル出力回路22の出力用のPNPトランジスタQ9のベース電流および第2の定電流源12からの電流を吸い取り、第2の定電流源12からの電流がプッシュプル出力回路22の出力用のNPNトランジスタQ8のベースに流れ込まないように制御する。つまり、出力用のPNPトランジスタQ9は、カットオフ状態になることはなく正常動作が可能になり、出力用のNPNトランジスタQ8は、ベース電流が大きくなって飽和動作状態になることもない。

20 【0039】従って、信号出力端OUTの電圧は、接地電位VSSよりも制御回路32のトランジスタQ14のコレクタ・エミッタ間電圧VCEQ14と出力用のPNPトランジスタQ9のエミッタ・ベース間電圧VEBQ9との和だけ高い値に固定されるようになる。つまり、従来例のように信号出力端OUTの電圧が電源電圧VCC付近まで上昇することなく、出力信号波形に著しい歪が発生することなく、正常な出力信号が得られる。

30 【0040】なお、電圧比較回路31の入力段トランジスタがダーリントン接続されているので、第1のPNPトランジスタQ1が飽和動作領域に入るまで正弦波信号入力レベルが低下しても、トランジスタQ10が第1のPNPトランジスタQ1より先に飽和動作領域に入ることではないので、電圧比較回路31の出力は制御回路32のトランジスタQ14に所要のベースバイアスを与えて正常に動作させることが可能である。

40 【0041】また、従来例のように信号出力端OUTの電圧が電源電圧VCC付近まで上昇することを防止する対策として、第1のPNPトランジスタQ1にダーリントン接続するように別のPNPトランジスタを追加した場合には、第1のPNPトランジスタQ1のベース入力波形の上側振幅の上限がVCC-VEB(VEBは(上記追加したPNPトランジスタのエミッタ・ベース間電圧、0.7V程度)に制限されることになり、都合が悪い。

50 【0042】なお、上記実施の形態では、差動増幅入力段10と出力回路段20とが電圧フォロア回路を形成するように接続した例を示したが、差動増幅入力段10と出力回路段20との接続関係は種々の変更が可能であり、例えば差動増幅入力段10の反転入力端と接地端との間に抵抗素子を接続し、出力回路の信号出力端と差動増幅入力段10の反転入力端とを抵抗素子を介して帰

還接続するように変更してもよい。

【0043】

【発明の効果】 上述したように本発明によれば、信号入力レベルが電源電圧と接地電圧との間の全振幅で変化する場合に信号入力レベルが接地電圧付近においても、電流吸込用の出力トランジスタがカットオフ状態になることなく、正常な信号出力が得られる信号増幅回路を提供することができる。

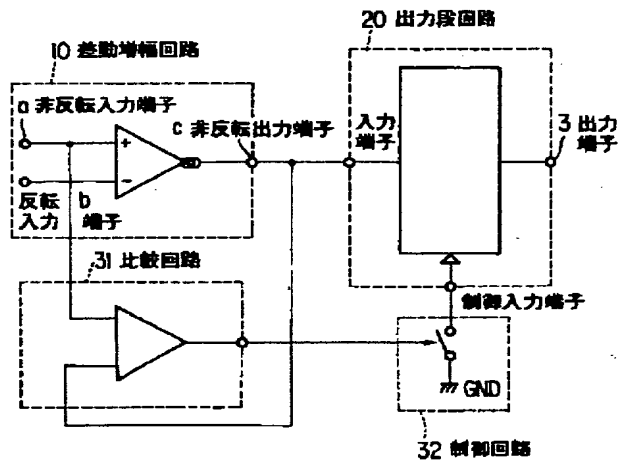
【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る信号増幅回路を示すブロック図。

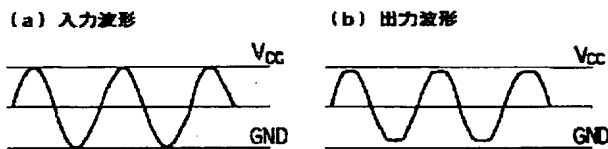
【図2】 図1の信号増幅回路を示す回路図。

【図3】 図2の信号増幅回路の動作例を示す波形図。

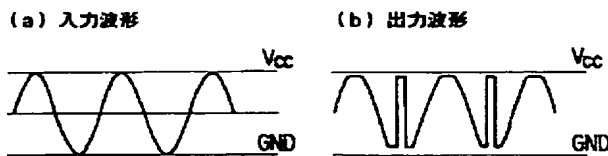
【図1】



【図3】



【図5】



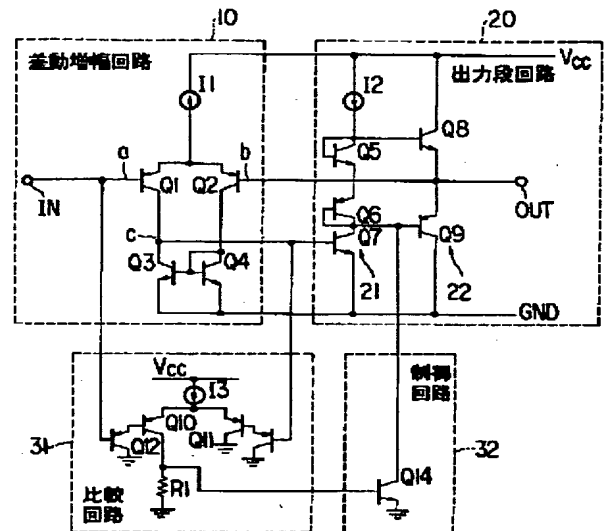
【図4】 従来の信号増幅回路の一例を示す回路図。

【図5】 図4の信号増幅回路の動作例を示す波形図。

【符号の説明】

10…バイポーラ型の差動増幅入力段、20…バイポーラ型の出力回路段、21…エミッタ接地増幅回路、22…プッシュプル出力回路、31…電圧比較回路、32…制御回路、Q1～Q14…バイポーラトランジスタ、I1…第1の定電流源、I2…第2の定電流源、I3…第3の定電流源、R1…抵抗素子、IN…信号入力端、a…差動増幅入力段の非反転入力端、b…差動増幅入力段の反転入力端、c…差動増幅入力段の非反転出力端、OUT…信号出力端。

【図2】



【図4】

